

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2002329742 A

(43) Date of publication of application: 15.11.02

(51) Int. Cl

H01L 21/60
G01R 31/26
G01R 31/28
H01L 21/3205
H01L 21/82
H01L 21/822
H01L 23/12
H01L 27/04

(21) Application number: 2001135771

(22) Date of filing: 07.05.01

(71) Applicant: MITSUBISHI ELECTRIC CORP

(72) Inventor: NARUTAKI KIICHI
ARAI HITOSHI
TOSHIDA KENJI
GOTO KOJI
FUKUDA KAZUYOSHI

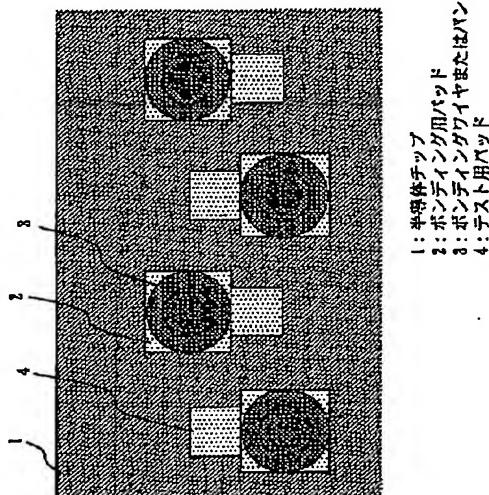
(54) SEMICONDUCTOR DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To improve junction reliability for a bonding wire or a bump by shifting the bonding position from a probe mark, with test pads provided in a surplus gap between bonding pads formed by making the bonding pads in a staggered arrangement.

SOLUTION: In a semiconductor device in which the bonding pads, which are electrodes for bonding an external connecting wire or the bump on a semiconductor chip, are formed by making the bonding pads in the staggered arrangement, the test pads which are applied for contacting the probe at the time of wafer testing are provided in a surplus space for the bonding pads formed by making the bonding pads in the staggered arrangement.

COPYRIGHT: (C)2003,JPO



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-329742

(P2002-329742A)

(43)公開日 平成14年11月15日 (2002.11.15)

(51)Int.Cl.
H 01 L 21/60
G 01 R 31/26

31/28
H 01 L 21/3205

識別記号
301

F I
H 01 L 21/60
G 01 R 31/26

H 01 L 23/12
5 0 1 W
Q 5 F 0 4 4

テ-マコ-ト(参考)

3 0 1 N 2 G 0 0 3

G 2 G 1 3 2

Z 5 F 0 3 3

5 0 1 W 5 F 0 3 8

Q 5 F 0 4 4

審査請求 未請求 開求項の数 7 OL (全 6 頁) 最終頁に統ぐ

(21)出願番号 特願2001-135771(P2001-135771)

(22)出願日 平成13年5月7日 (2001.5.7)

(71)出願人 000006013
三菱電機株式会社
東京都千代田区丸の内二丁目2番3号

(72)発明者 鳴瀬 喜一
東京都千代田区丸の内二丁目2番3号 三菱
電機株式会社内

(72)発明者 新井 等
東京都千代田区丸の内二丁目2番3号 三菱
電機株式会社内

(74)代理人 100099461
弁理士 溝井 章司 (外2名)

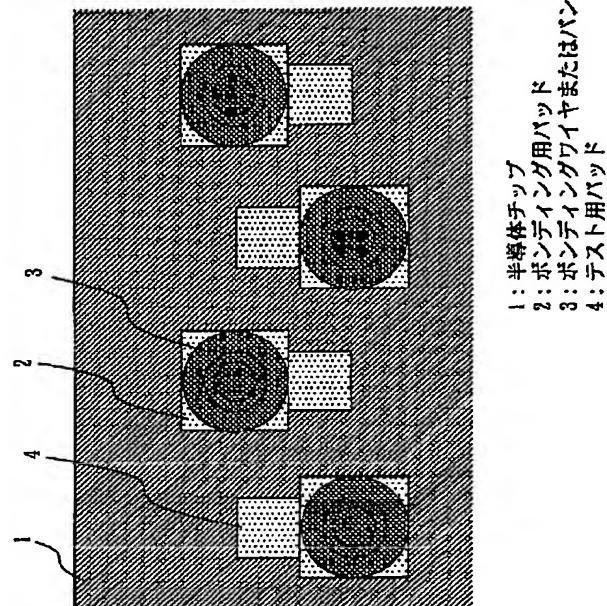
最終頁に統ぐ

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 ボンディング用パッドを千鳥状に配列することによって生じたボンディング用パッド間の余剰な隙間にテスト用パッドを設け、ボンディング位置とプローブ痕をずらすことにより、ボンディングワイヤまたはバンプの接合信頼性の向上を図ること。

【解決手段】 半導体チップ上の外部接続用ワイヤまたはバンプをボンディングする電極であるボンディング用パッドを千鳥状に配列した半導体装置において、ウエハテスト時にプローブを接触させるためのテスト用パッドを、千鳥状に配列されたボンディング用パッドの余剰のスペースに設けたものである。



【特許請求の範囲】

【請求項1】 半導体チップ上の外部接続用ワイヤまたはバンプをボンディングする電極であるボンディング用パッドを千鳥状に配列した半導体装置において、ウエハテスト時にプローブを接触させるためのテスト用パッドを、前記千鳥状に配列されたボンディング用パッドの余剰のスペースに設けたことを特徴とする半導体装置。

【請求項2】 前記千鳥状に設けたボンディング用パッドに対し、両隣のボンディング用パッドの間隙に前記テスト用パッドを設けたことを特徴とする請求項1記載の半導体装置。

【請求項3】 前記千鳥状に設けたボンディング用パッドに対し、真横のボンディング用パッドとの間隙に前記テスト用パッドを設けたことを特徴とする請求項1記載の半導体装置。

【請求項4】 前記テスト用パッドを前記ボンディング用パッドと同形状としたことを特徴とする請求項1記載の半導体装置。

【請求項5】 前記ボンディング用パッドと前記テスト用パッドを合わせたパッド形状を長方形としたことを特徴とする請求項4記載の半導体装置。

【請求項6】 長方形のボンディング用パッドを有する半導体装置において、前記ボンディング用パッド内のテストプローブ接触位置を、隣り合うボンディング用パッド内の接触位置とずらしてプロービングしたことを特徴とする半導体装置。

【請求項7】 千鳥のボンディング配列に対し、ボンディング位置と互い違いに千鳥状にプロービングを行なうことを特徴とする請求項6記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体チップ上の電極(ボンディング用パッド)と外部電極をワイヤボンド、またはスタッドバンプを用いて接続する半導体装置に関するものである。

【0002】

【従来の技術】半導体チップ上の電極(ボンディング用パッド)と外部電極を接続する方法として、最も一般的なワイヤボンド接続や、近年多く用いられるようになってきたフリップチップ接続がある。フリップチップ接続ではチップ上の電極と外部電極を、導電性のバンプを介して接続する。フリップチップ接続のバンプの形成方法として最も一般的に用いられているのは、ワイヤボンドの技術を応用して、スタッドバンプを半導体チップの電極上にボンディングする方法である。

【0003】図8は従来の半導体装置を示す平面図である。図に示すように、ボンディングワイヤまたはバンプ3をボンディングする従来の半導体チップ1のボンディング用パッド2は、ボンディングワイヤまたはバンプ3

との接合面の面積に位置ずれ精度を加味した大きさの、正方形あるいは、ほぼそれに近い形状でつくられている。

【0004】図に示すように、ボンディング用パッド2を千鳥状に配列した場合、真横に位置するボンディング用パッド2との間に余分なスペースが生じる。

【0005】ところで、ウエハ工程の最後に行なわれるウエハテストでは、上記のボンディング用パッド2にテストプローブの先端を接触させ、テストを行なうが、このときボンディング用パッド2表面に損傷を与える。

【0006】このボンディング用パッド2に生じたプローブ痕によって、ウエハテスト後のパッケージ工程で行なわれるワイヤボンディングまたはバンプボンディングの接合強度が劣化する。特に、半導体の高機能化により、テストのプロービング回数も増加する傾向にあり、この影響が顕著になる。

【0007】この発明は上記のような問題点を解決するためになされたもので、ボンディング用パッドを千鳥状に配列することによって生じたボンディング用パッド間の余剰な間隙にテスト用パッドを設け、ボンディング位置とプローブ痕をずらすことにより、ボンディングワイヤまたはバンプの接合信頼性の向上を図ることを目的とする。

【0008】

【課題を解決するための手段】この発明に係る半導体装置は、半導体チップ上の外部接続用ワイヤまたはバンプをボンディングする電極であるボンディング用パッドを千鳥状に配列した半導体装置において、ウエハテスト時にプローブを接触させるためのテスト用パッドを、千鳥状に配列されたボンディング用パッドの余剰のスペースに設けたものである。

【0009】また、千鳥状に設けたボンディング用パッドに対し、両隣のボンディング用パッドの間隙にテスト用パッドを設けたものである。

【0010】また、千鳥状に設けたボンディング用パッドに対し、真横のボンディング用パッドとの間隙に前記テスト用パッドを設けたものである。

【0011】また、テスト用パッドをボンディング用パッドと同形状としたものである。

【0012】また、ボンディング用パッドとテスト用パッドを合わせたパッド形状を長方形としたものである。

【0013】また、長方形のボンディング用パッドを有する半導体装置において、ボンディング用パッド内のテストプローブ接触位置を、隣り合うボンディング用パッド内の接触位置とずらしてプロービングしたものである。

【0014】また、千鳥のボンディング配列に対し、ボンディング位置と互い違いに千鳥状にプロービングを行なうものである。

【0015】

【発明の実施の形態】以下、この発明の実施の形態を図面に基づいて説明する。

実施の形態1. 図1は実施の形態1を示す図で、半導体装置を示す平面図である。図において、半導体装置は半導体チップ1上に千鳥状に設けたボンディング用パッド2に対し、両隣のボンディング用パッド2の間隙にテスト用パッド4を設けてある。ここで符号3はボンディングワイヤまたはバンプ3と重ならないようとする。

【0016】上記のように、半導体チップ1上に千鳥状に設けたボンディング用パッド2に対し、両隣のボンディング用パッド2の間隙にテスト用パッド4を設けることにより、ボンディング位置とプローブ痕をずらすことにより、プロービングで荒れたパッド面にボンディングした場合と比べ、ボンディングワイヤまたはバンプの接合信頼性の向上を図ることができる。

【0017】実施の形態2. 図2は実施の形態2を示す図で、半導体装置を示す平面図である。図において、半導体装置は半導体チップ1上に千鳥状に設けたボンディング用パッド2に対し、真横のボンディング用パッド2との間隙にテスト用パッド4を設けてある。

【0018】上記のように、半導体チップ1上に千鳥状に設けたボンディング用パッド2に対し、真横のボンディング用パッド2との間隙にテスト用パッド4を設けることにより、ボンディング位置とプローブ痕をずらすことにより、プロービングで荒れたパッド面にボンディングした場合と比べ、ボンディングワイヤまたはバンプの接合信頼性の向上を図ることができる。

【0019】実施の形態3. 図3は実施の形態3を示す図で、半導体装置を示す平面図と斜視図である。本実施の形態は、実施の形態1においてテスト用パッド4をボンディング用パッド2と同じ幅に揃えて同形状とし、結果的に合わせたパッドの形状を長方形とした例である。因みに、このようにテスト用パッド4とボンディング用パッド2を合わせた長方形パッドの配列が結果的に千鳥状でなく、直線状に配列された場合も含むことはいうまでもない。

【0020】上記のように、ボンディング用パッド2とテスト用パッド4を同形状とすることで、ワイヤやバンプを修復する際等に、テスト用パッド4をボンディング用パッド2として活用することができる。

【0021】実施の形態4. 図4、5は実施の形態4を示す図で、図4はテスト方法を示す平面図、図5は半導体装置の斜視図である。図5に示すように、テストプローブ5の先端を千鳥状にし、千鳥のボンディング配列に対し、ボンディング位置と互い違いに千鳥状にプローピ

ングを行なう。これによって、図5に示すように、ウエハテストのプローブ痕6がボンディングワイヤまたはバンプ3と重ならないようとする。

【0022】実施の形態5. 図6は実施の形態5を示す図で、半導体装置を示す平面図である。本実施の形態における半導体装置は、上記実施の形態3において、図6に示すように、半導体チップ1上のボンディング用パッド2をアレイ状に配置したものである。

【0023】実施の形態6. 図7は実施の形態6を示す図で、半導体装置を示す平面図である。本実施の形態における半導体装置は、上記実施の形態5において、図7に示すように、半導体チップ1上のボンディング用パッド2を千鳥に配置したものである。

【0024】

【発明の効果】以上のように本発明によれば、ボンディング用パッドを千鳥状に配列することによって生じたボンディング用パッド間の余剰な間隙に、テスト用パッドを設け、ボンディング位置とプローブ痕をずらすことにより、プロービングで荒れたパッド面にボンディングした場合と比べ、ボンディングワイヤまたはバンプの接合信頼性の向上を図ることができる。

【0025】また、ボンディング用パッドとテスト用パッドを同形状とすることで、ワイヤやバンプを修復する際等に、テスト用パッドをボンディングパッドとして活用することができる。

【図面の簡単な説明】

【図1】 実施の形態1を示す図で、半導体装置を示す平面図である。

【図2】 実施の形態2を示す図で、半導体装置を示す平面図である。

【図3】 実施の形態3を示す図で、半導体装置を示す平面図と斜視図である。

【図4】 実施の形態4を示す図で、テスト方法を示す平面図である。

【図5】 実施の形態4を示す図で、半導体装置を示す平面図である。

【図6】 実施の形態5を示す図で、半導体装置を示す平面図である。

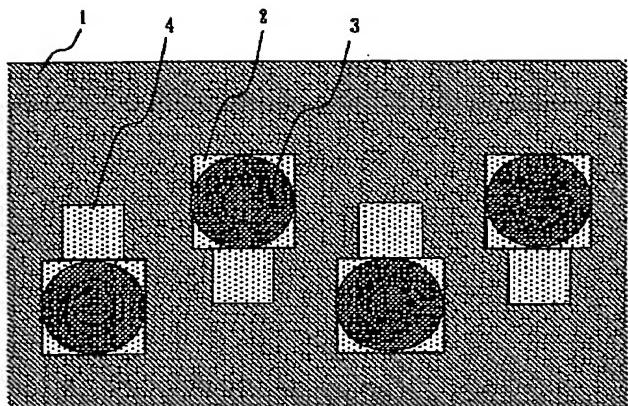
【図7】 実施の形態6を示す図で、半導体装置を示す平面図である。

【図8】 従来の半導体装置を示す平面図である。

【符号の説明】

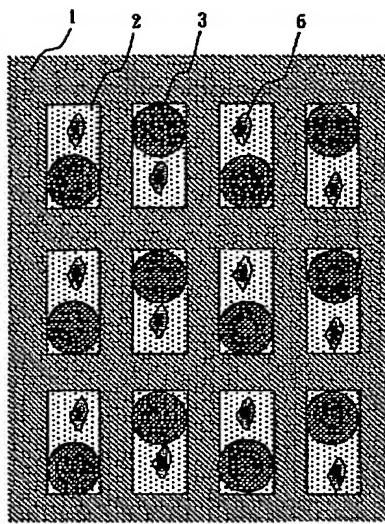
1 半導体チップ、2 ボンディング用パッド、3 ボンディングワイヤまたはバンプ、4 テスト用パッド、5 テストプローブ、6 プローブ痕。

【図1】

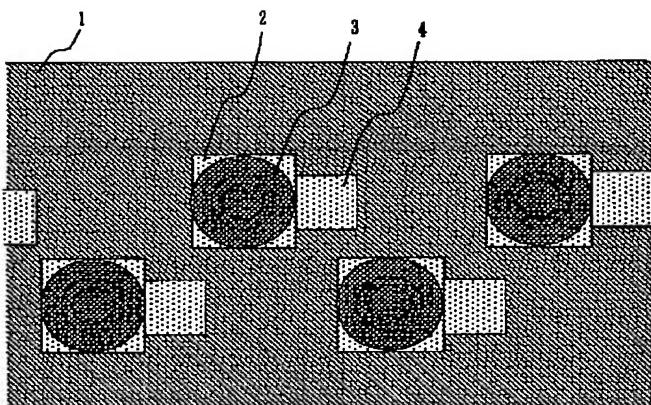


1: 半導体チップ
2: ボンディング用パッド
3: ボンディングワイヤまたはバンブ
4: テスト用パッド

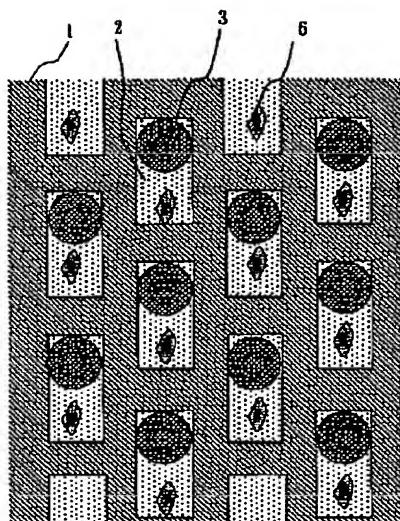
【図6】



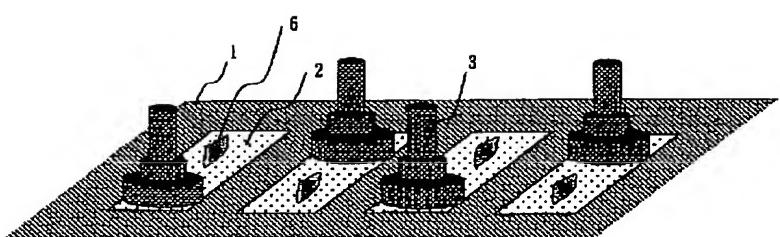
【図2】



【図7】

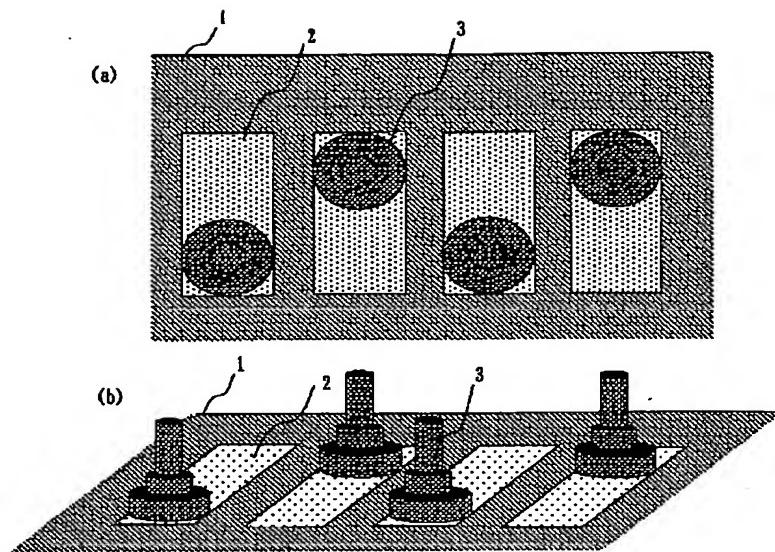


【図5】

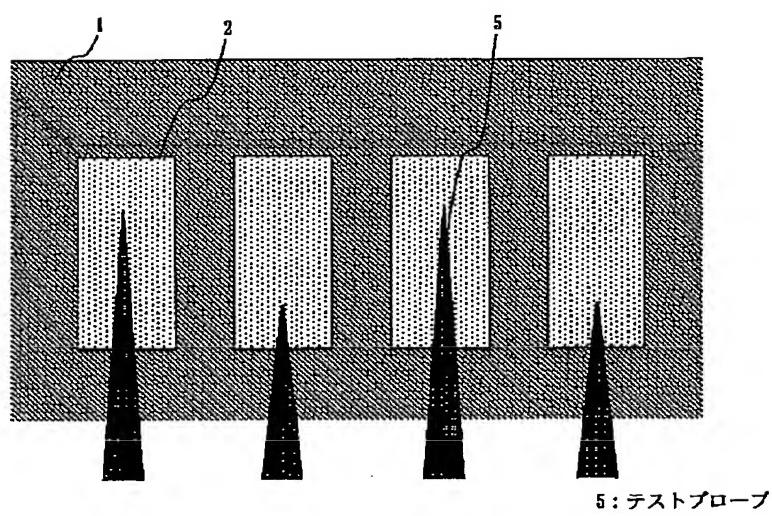


6: プローブ痕

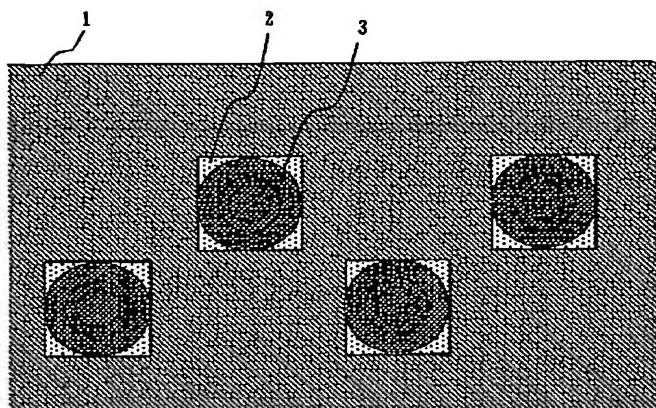
【図3】



【図4】



【図8】



フロントページの続き

(51) Int. Cl.	識別記号	F I	マーク(参考)
H 0 1 L	21/82	H 0 1 L	T 5 F 0 6 4
	21/822		Z
	23/12	27/04	E
	5 0 1		T
	27/04	21/82	P
		G O 1 R	T
		31/28	U

(72) 発明者 利田 賢二
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(72) 発明者 後藤 宏二
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(72) 発明者 福田 和良
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

F ターム(参考) 2C003 AA10 AH07
2G132 AK01
5F033 MV21 VV07 VV12 XX00 XX37
5F038 BE07 CA10 CT04 EZ20
5F044 EE01 EE03 EE07
5F064 DD42 DD46 CG10